

## MANUFACTURE OF ELECTRODE WIRING STRUCTURE

Patent Number: JP10106972  
Publication date: 1998-04-24  
Inventor(s): AKAMATSU KAZUO; KOMURA ATSUSHI; YAMAOKA TORU; YAMAUCHI TAKESHI; ISOBE YOSHIHIKO  
Applicant(s):: DENSO CORP  
Requested Patent: JP10106972  
Application Number: JP19960254936 19960926  
Priority Number (s):  
IPC Classification: H01L21/28 ; H01L21/3205 ; H01L21/768  
EC Classification:  
Equivalents:

### Abstract

**PROBLEM TO BE SOLVED:** To improve the barrier quality of a barrier metal and further improve a step coverage, making good the burying quality of an Al alloy layer, when using titanium nitride as the barrier metal and forming the Al alloy layer thereon.

**SOLUTION:** Forming an interlayer insulation film 11 on a silicon substrate 10, a contact hole 12 is formed therein (Fig. 1 (a)). Thereafter, the films of a titanium layer 13, a first titanium nitride layer 19, a second titanium nitride layer 14, and an Al alloy layer 15 are formed continuously by sputtering in a vacuum (Fig. 1 (b)). Subsequently, the reflow treatment of the Al alloy layer 15 is performed (Fig. 1 (c)). During this reflow heat treatment, a distortion buffering layer 17 which is an intermetallic compound of titanium and aluminum is formed between the titanium nitride layer 14 and the Al alloy layer 15. Thereafter, forming a titanium layer 20 and titanium nitride layer 21 as reflection preventing films, a patterning is performed to form thereafter a protection layer 16 (Fig. 1 (d), (e)).

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-106972

(43) 公開日 平成10年(1998) 4月24日

(51) Int.Cl.<sup>8</sup>  
H 0 1 L 21/28  
21/3205  
21/768

識別記号  
3 0 1

F I  
H 0 1 L 21/28 3 0 1 R  
21/88 N  
21/90 C

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平8-254936  
(22) 出願日 平成 8 年(1996) 9 月26日

(71) 出願人 000004260  
株式会社デンソー  
愛知県刈谷市昭和町 1 丁目 1 番地  
(72) 発明者 赤松 和夫  
愛知県刈谷市昭和町 1 丁目 1 番地 日本電  
装株式会社内  
(72) 発明者 小呂 篤  
愛知県刈谷市昭和町 1 丁目 1 番地 日本電  
装株式会社内  
(72) 発明者 山岡 徹  
愛知県刈谷市昭和町 1 丁目 1 番地 日本電  
装株式会社内  
(74) 代理人 弁理士 伊藤 洋二

最終頁に続く

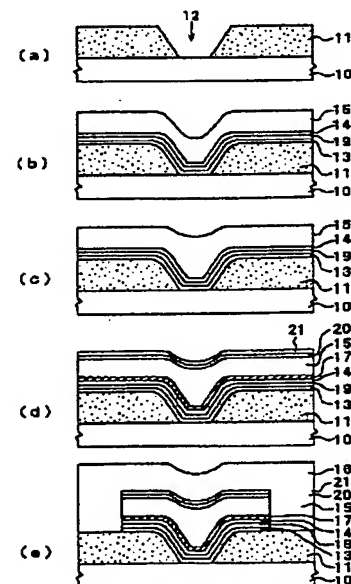
(54) 【発明の名称】 電極配線構造の製造方法

(57) 【要約】

【課題】 窒化チタンをバリアメタルとして使用し、その上に A l 合金層を形成する場合、バリアメタルのバリア性を向上させ、しかも A l 合金層の埋め込み性を良好にしてステップカバレッジを向上させる。

【解決手段】 シリコン基板 1 0 上に、層間絶縁膜 1 1 を形成し、コンタクトホール 1 2 を形成する (図 1

(a) )。この後、チタン層 1 3、第 1 窒化チタン層 1 9、第 2 窒化チタン層 1 4、A l 合金層 1 5 を真空中で連続的にスパッタ成膜する (図 1 (b) )。続いて、A l 合金層 1 5 のリフロー処理を行う (図 1 (c) )。このリフロー熱処理中に、窒化チタン層 1 4 と A l 合金層 1 5 の間にチタンとアルミニウムの金属間化合物である歪み緩和層 1 7 が形成される。この後、反射防止膜としてのチタン層 2 0、窒化チタン層 2 1 を形成し、パターニングを行った後、保護膜 1 6 を形成する (図 1 (d) 、(e) )。



10: シリコン基板 18: 保護膜  
11: 層間絶縁膜 17: 金属間化合物 反応層  
12: コンタクトホール 19: 第 1 窒化チタン層  
13: チタン層 20: チタン層  
14: 第 2 窒化チタン層 21: 窒化チタン層  
15: A l 合金層

## 【特許請求の範囲】

【請求項1】 半導体基板（10）上に、コンタクトホール（12）を有する層間絶縁膜（11）を形成する工程と、

前記層間絶縁膜上に、アロイスバイク防止用の第1窒化チタン層（19）と、この第1窒化チタン層の上に第2窒化チタン層（14）を成膜し、さらにこの第2窒化チタン層の上にアルミニウム合金配線層（15）を成膜する工程と、

前記第1窒化チタン層、前記第2窒化チタン層および前記アルミニウム合金配線層をパターンニングする工程とを有してなる電極配線構造の製造方法において、

前記パターンニング工程の前に、前記アルミニウム合金配線層をリフローする工程を備え、

前記第1窒化チタン層、前記第2窒化チタン層および前記アルミニウム合金配線層の成膜、および前記アルミニウム合金配線層のリフローを、真空中で連続して行うことを特徴とする電極配線構造の製造方法。

【請求項2】 前記第1窒化チタン層、前記第2窒化チタン層および前記アルミニウム合金配線層の成膜、および前記アルミニウム合金配線層のリフローをスパッタリング装置を用いて行い、前記第1、第2窒化チタン層1の成膜温度より高い温度で前記リフローを行うことを特徴とする請求項1に記載の電極配線構造の製造方法。

【請求項3】 前記リフロー時の前記半導体基板の温度を390℃以上にする特徴とする請求項2に記載の電極配線構造の製造方法。

【請求項4】 半導体基板（10）上に、コンタクトホール（12）を有する第1層間絶縁膜（11）を形成する工程と、

前記第1層間絶縁膜上に、アロイスバイク防止用の第1窒化チタン層（19）と、この第1窒化チタン層の上に第2窒化チタン層（14）を成膜し、さらにこの第2窒化チタン層の上に第1アルミニウム合金配線層（15）を成膜し、この後、前記第1アルミニウム合金配線層をリフローする工程と、

前記第1窒化チタン層、前記第2窒化チタン層および前記アルミニウム合金配線層をパターンニングして第1電極配線を形成する工程と、

この第1電極配線上に開口したビアホールを有する第2層間絶縁膜（22）を形成する工程と、

前記第2層間絶縁膜上に前記ビアホールを含んで、第3窒化チタン層（23）を成膜し、さらにこの第3窒化チタン層の上に第2アルミニウム合金配線層（24）を成膜し、この後、前記第2アルミニウム合金配線層をリフローする工程と、

前記第3窒化チタン層と第2アルミニウム合金配線層をパターンニングして第2電極配線を形成する工程とを有し、

前記第1窒化チタン層、前記第2窒化チタン層および前

記アルミニウム合金配線層の成膜、および前記アルミニウム合金配線層のリフローを真空中で連続して行い、前記第3窒化チタン層と前記第2アルミニウム合金配線層の成膜、および前記第2アルミニウム合金配線層のリフローも真空中で連続して行うことを特徴とする多層電極配線構造の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、アルミニウム合金配線層（以下A1合金層という）を用いて半導体装置の電極配線を形成する電極配線構造の製造方法に関する。

## 【0002】

【従来の技術】近年、素子の高集積化に伴い、微細化や他層化が必須の技術となっており、微細化するにつれてA1合金層の線幅も細く設計されている。このようにA1合金層の線幅が細くなると、保護膜の形成による圧縮応力によってA1合金層内にA1ボイドが発生する。

【0003】本出願人は、半導体基板上に窒化チタン層を組成に含むバリアメタル上にA1合金層を形成し、窒化チタン層の成膜条件に工夫を凝らして、バリアメタルとA1合金層の間に、窒化チタンとアルミニウムを組成に含む金属間化合物である歪み緩和層を形成し、この歪み緩和層によって、A1合金層の配向性に係わらずA1合金層内におけるA1ボイドの発生を抑制できるものを提案した（特開平8-78416号公報）。

【0004】このものの製造方法の概要について図3に従って説明する。まず、図3（a）に示すように、シリコン基板10上に層間絶縁膜11を形成し、コンタクトホール12を形成する。そして、図3（b）に示すように、スパッタリング法によりチタン層13を成膜し、続いて反応性スパッタリング法により窒化チタン層14を成膜し、さらにスパッタリング法によりA1合金層15を成膜し、その一部がシリコン基板と電気接続するようにする。その際、チタン層13、窒化チタン層14、A1合金層15は、途中大気暴露せずに、真空中で連続的に成膜している。

【0005】A1合金層15を成膜後、図3（c）に示すように、チタン層13、窒化チタン層14、A1合金層15をパターンニングし、シリコン基板10、チタン層13、窒化チタン層14、およびA1合金層15の電氣的接続部の抵抗を小さくするために、400℃から480℃の熱処理を行う。さらに、図3（d）に示すように、保護膜16を、300℃から480℃の温度下でCVD法あるいはスパッタリング法に形成する。

【0006】ここで、図3（c）、（d）の工程における熱処理中に、窒化チタン層14からA1合金層15にチタンが拡散し、チタンとアルミニウムの金属間化合物（A13Ti）反応層17が形成される。また、チタン層13とシリコン基板10の間にチタンシリサイド層1

8が形成される。ここで、窒化チタン層14を、窒素ガスが供給されチタンをターゲットとするスパッタリング装置内で、DCパワー密度 $5.5\text{ W/cm}^2$ 以下の条件で反応性スパッタリングすることにより、金属間化合物反応層17の厚さを $10\text{ nm}$ 以上にして歪み緩和層にすることができ、A1合金層15内におけるA1ボイドの発生を抑制することができる。

【0007】また、上記公報に記載された第2実施形態においては、アロイスバイクを防止するために、窒化チタン層14の下層に、アロイスバイク防止用の別の窒化チタン層を形成している。以下、アロイスバイク防止用の窒化チタン層を第1窒化チタン層といい、上記した窒化チタン層14を第2窒化チタン層という。具体的には、第1窒化チタン層を $6.96\text{ W/cm}^2$ 以上のDCパワー密度でスパッタ成膜し、第2窒化チタン層を $5.5\text{ W/cm}^2$ 以下のDCパワー密度でスパッタ成膜して、第1、第2窒化チタン層を物性の異なる膜としている。この場合、第1窒化チタン層は結晶性の高い緻密な膜となるため、アロイスバイクの発生を抑制することができる。なお、DCパワー密度（以下、単にパワー密度という）とは、スパッタリング装置において、ターゲットとヒータ間に印加する電力をターゲットの面積で割ったものをいう。

【0008】

【発明が解決しようとする課題】本発明者等は、上記した電極配線構造に対しさらに検討を進めたところ、素子の微細化を進めると、A1合金層のステップカバレッジが悪くなってしまうという問題があることが判明した。通常、A1合金層をリフローすることによって、A1合金層のコンタクトホールへの埋め込み性を向上させ、ステップカバレッジを良好にすることができるが、窒化チタンをバリアメタルとして使用し、その上に形成されたA1合金層をリフローする場合、電子情報通信学会論文誌 C-I I V o l . J 7 8 - C - I I N o . 5 p p . 2 7 3 - 2 8 0 1995年5月号の第276頁～第277頁に指摘されているように、バリアメタルのバリア性を向上させるために熱処理が不可欠であり、そのためにA1合金層の形成前に窒化チタン層が一旦大気に曝され、その結果、窒化チタン層の表面が酸化しA1合金層のぬれ性が低下して、リフローの際のA1合金層の埋め込み性が低下する問題点がある。そこで、このものでは、リフロー下地を検討することによりA1合金層の埋め込み性を改善することが提案されている。

【0009】本発明は、窒化チタンをバリアメタルとして使用し、その上にA1合金層を形成する場合、上記した論文に指摘されているような、窒化チタン層の大気暴露による問題を生じることなく、バリアメタルのバリア性を向上させ、しかもA1合金層の埋め込み性を良好にしてステップカバレッジを向上させることを目的とする。

【0010】

【課題を解決するための手段】本発明者等は、先に提案した特開平8-78416号公報に記載のものにおいて、第1窒化チタン層と第2窒化チタン層を設けることにより、A1合金層の形成前に、一旦大気に曝さなくても、アロイスバイクの発生を抑制してバリア性を高くすることができる点に着目し、このものの製造方法を変更することにより上記目的を達成することを検討した。

【0011】このような検討を基になされた請求項1乃至3に記載の発明においては、第1窒化チタン層（19）、第2窒化チタン層（14）、A1合金層（15）を真空中で連続して成膜するとともに、さらに真空中でA1合金層をリフローし、このリフロー後に第1窒化チタン層、第2窒化チタン層およびA1合金層のパターニングを行うようにしたことを特徴としている。

【0012】A1合金層のリフロー中に第2窒化チタン層の窒化チタンとアルミニウム合金配線層のアルミニウムにより金属間化合物反応層（17）が形成される。この金属間化合物反応層とリフローされたA1合金層との濡れ性が良好であるため、A1合金層の埋め込み性を良好にしてステップカバレッジを向上させることができる。また、第1窒化チタン層、第2窒化チタン層およびA1合金層の形成、およびA1合金層のリフローを真空中で連続して行っているから、窒化チタン層の大気暴露による問題を生じることなくバリアメタルのバリア性を向上させることができる。

【0013】また、請求項4に記載の発明においては、請求項1に記載の発明を第1電極配線とし、第2電極配線を形成するために、第3窒化チタン層（23）および第2A1合金層（24）を真空中で成膜し、さらに真空中で連続して第2A1合金層をリフローし、その後パターニングを行うようにしたことを特徴としている。このことにより、第2電極配線についてもステップカバレッジを向上させることができ、従って、バリアメタルのバリア性を向上させるとともに、A1合金層のステップカバレッジを向上させた多層電極配線構造とすることができる。

【0014】なお、特許請求の範囲および課題を解決するための手段の欄に記載した括弧内の符号は、後述する実施形態記載の具体的構成要素との対応関係を示すためのものである。

【0015】

【発明の実施の形態】

（第1実施形態）図1に、本発明の第1実施形態における電極配線を用いた半導体装置の製造工程を示す。なお、この図1において、図3に示すものと同一符号を付した部分は同一のものを示す。

【0016】まず、図1（a）に示すように、シリコン基板10上にCVD法やスパッタリング法により、PSG膜等の層間絶縁膜11を形成し、ホトリソグラフィ

により、コンタクトホール12を形成する。そして、図1(b)の工程で、スパッタリング装置を用い、スパッタリング法により20nmの厚さのチタン層13を成膜し、アルゴンと窒素の混合ガス雰囲気中でTiをスパッタリングする反応性スパッタリング法により厚さ70nmの第1窒化チタン層19と厚さ30nmの第2窒化チタン層14を成膜し、さらにスパッタリング法により450nmの厚さのAl-1%Si-0.5%Cu等のAl合金層15を連続的に成膜する。

【0017】この場合、第1窒化チタン層19に対しては、設定温度：270°C、総ガス圧：5.5mTorr、N<sub>2</sub>-Arガス流量比：1：1、パワー密度：8.7W/cm<sup>2</sup>の条件で成膜し、第2窒化チタン層14に対しては、設定温度：270°C、総ガス圧：5.5mTorr、N<sub>2</sub>-Arガス流量比：1：1、パワー密度：4.4W/cm<sup>2</sup>の条件で成膜し、Al配線層15に対しては、設定温度：150°C、Arガス圧：2mTorr、パワー密度：10.6W/cm<sup>2</sup>の条件で成膜している。第1窒化チタン層19を、特開平8-78416号公報に記載されたものと実質的に同じ成膜条件で形成することにより、結晶性の高い緻密な膜となり、アロイスパイクの発生を抑制することができる。

【0018】なお、チタン層13、第1窒化チタン層19、第2窒化チタン層14、Al合金層15は、途中大気暴露せずに、真空中で連続的に成膜するため、各層の内部および層の界面には、酸素はほとんど存在せず、約1at%以下の濃度となっている。この後、同じスパッタリング装置内で真空搬送し、別のチャンバにてリフローを行う。このリフローは、第1、第2窒化チタン層19、14よりも高い温度で行い、具体的には設定温度を525°C（もしくは500°C前後）とする。また、Arガス圧を2mTorrとして3分間行う。このリフローにより、Al合金層15は、図1(c)に示すような形状になる。

【0019】また、このリフロー熱処理中に、窒化チタン層14からAl合金層15にチタンが拡散し、チタンとアルミニウムの金属間化合物（Al<sub>3</sub>Ti）反応層17が形成される。この金属間化合物反応層17は、特開平8-78416号公報に記載されている厚さ10nm以上の歪み緩和層で、Al合金層15内のAlボイドの発生を抑制する。

【0020】また、リフローAlとAl<sub>3</sub>Tiとの濡れ性が良好であるため、リフローAlの埋め込み性を向上させることができる。この場合、Al<sub>3</sub>Tiの形成が不安定であるとリフローAlの埋め込み性が低下するため、Al<sub>3</sub>Tiを安定して形成するためには、リフロー温度を実温で390°C以上にする必要がある。なお、実温とは、リフローを行う場合のウェハ状態での半導体基板の温度で、スパッタ装置内での設定温度より低くなり、設定温度を525°Cとした場合、実温は465°Cに

なる。また、設定温度を500°C前後とした場合には、実温は約445°Cになる。

【0021】また、金属間化合物反応層17の厚さはAlボイドの抑制という点からすれば10nm以上必要であるが、リフローAlとAl<sub>3</sub>Tiとの濡れ性を良好にするという点からすれば1nm以上あればよい。このリフロー後、反射防止膜としての厚さ15nmのチタン層20と厚さ30nmの窒化チタン層21を、さらに真空中で連続成膜し、図1(d)に示す構造とする。

【0022】上記した真空中での連続成膜工程を経た後、図1(e)のように、チタン層13、窒化チタン層14、Al合金層15、チタン層20、窒化チタン層21をパターンニングし、さらに、保護膜としての絶縁膜（窒化膜等）16を、300°Cから480°Cの温度下でCVD法あるいはスパッタリング法に形成する。この保護膜形成時に、図示しないが、チタン層13とシリコン基板10の間にチタンシリサイド層18が形成される。

【0023】上記した製造方法を用いることにより、第1窒化チタン層19、第2窒化チタン層14およびAl合金層15の形成、およびAl合金層15のリフローを真空中で連続して行っているから、アロイスパイクを抑制してバリア金属のバリア性を向上させ、Al合金層15の埋め込み性を良好にしてステップカバレッジを向上させることができる。

【0024】なお、上述したように、本実施形態においては、Al配線層15と第2窒化チタン14を反応させることでリフロー処理によってステップカバレッジを良好にできたが、このようにAl配線層15と第2窒化チタン14との反応性を良好にするためには特開平8-78416号公報の図3に示されているようにスパッタリング装置のDCパワー密度を5.5W/cm<sup>2</sup>以下とすることが好ましい。なお、DCパワー密度とは、スパッタリング装置内においてTiターゲットとスパッタリング装置のヒータ間に印加する電力をTiターゲットの面積で割った値とする。

【0025】また、発明者らが実験を行ったところ、Al配線層15と第2窒化チタン14とを反応させてAl配線層15の濡れ性がよくなっても、反応によりAl<sub>3</sub>Tiが形成されてその上にAl配線層が全く存在しなくなった場合には、その領域上でのAl配線層15のリフロー処理による流動性が失われてAl<sub>3</sub>Tiだけの領域が残るようになり良好なステップカバレッジが得られないことがわかった。従って、Al配線層15のスパッタリング時の膜厚はその後のリフロー処理において形成される反応生成物（Al<sub>3</sub>Ti等の金属間化合物）の膜厚よりも厚く堆積する必要がある。

【0026】さらに、発明者らが実験を行ったところ、ステップカバレッジを良好にするためには上述したようにAl配線層15と反応性の良い第2窒化チタン14を用いてAl配線層15を所定の膜厚となるよう堆積する

だけではステップカバレッジを良好にするために十分でないことがわかった。すなわち、A1配線層15のスパッタリング後の膜厚がスパッタリング時の基板温度（ヒータ温度）に依存することが判明し、この基板温度を制御する必要があることがわかった。基板温度を高く設定した場合にその後のリフロー処理においてステップカバレッジにかなりばらつきが生じ、再現性の悪いものとなることがわかった。これは、基板温度が高い場合にA1配線材料がスパッタリングによりコンタクトホールに付着する際に凝集し、コンタクトホールの段差の上部にボールのように集まる現象が起こり、この現象によりコンタクトホールの段差の底部とその周辺のA1配線材料の膜厚が薄くなり、さらにこの集まったA1配線材料がマスクとなってコンタクトホール底部にスパッタリングされたA1原子が到達できなくなることによって生ずるためである。

【0027】発明者らの実験によると基板温度が120℃、150℃、180℃付近まではA1配線材料の凝集はあまり観測されなかったが、基板温度が180℃を過ぎるとA1配線材料の凝集が観測されるようになり、230℃ではかなりA1配線材料の凝集が観測された。実際、基板温度を150℃としてリフローを行った場合と、基板温度を230℃としてリフローを行った場合とでステップカバレッジを比較したところ、前者の場合にはステップカバレッジも良好で、かつ、ばらつきがほとんどなく再現性が良好であることがわかったが、後者の場合にはステップカバレッジの良好なものも存在したが、ばらつきがひどく、再現性が悪いことが分かった。従って、A1配線の膜厚を確保するためにはA1配線材料の基板温度を180℃以下にすることが望ましい。尚、基板の加熱方法はスパッタリング装置内のヒータによって温められたArガスによるガス加熱方式である。

【0028】以上をまとめると、A1配線材料の下地を上述した第2窒化チタンとし、A1配線材料のスパッタリング時の基板温度を180℃以下とし、その膜厚を堆積後のリフロー処理において生成される反応性生物よりも厚くなるように堆積して上述したリフロー処理を行うことにより、確実にステップカバレッジを良好にすることができる。

（第2実施形態）上記した第1実施形態では1層の電極配線構造としたが、本実施形態では電極配線を2層にした多層電極配線構造としている。

【0029】このものの製造方法について図2に従って説明する。まず、第1実施形態と同様に、チタン層1

3、第1窒化チタン層19、第2窒化チタン層14、A1合金層15、チタン層20、窒化チタン層21を形成し、パターニングして第1電極配線を形成する。その上に層間絶縁膜22を形成し、ホトリソグラフィにより、層間絶縁膜22にビアホールを形成する。この後、層間絶縁膜22上に、窒化チタン層23およびA1合金層24を形成して、図2（a）に示す構造とする。

【0030】この場合、窒化チタン層23およびA1合金層24は、第1電極配線における第2窒化チタン層14およびA1合金層15と同じ成膜条件で形成する。この後、第1実施形態と同様に、連続して真空中でリフローを行う。このリフローにより、A1合金層24は、図2（b）に示すような形状になる。また、このリフロー熱処理中に、窒化チタン層23およびA1合金層24の間に、金属間化合物反応層25が形成される。そして、A1合金層24の上に反射防止膜としての窒化チタン層26を形成し、図2（b）に示す構造とする。

【0031】そして、窒化チタン層23およびA1合金層24をパターニングし、その上に保護膜27を、第1実施形態の保護膜16と同様に、300℃から480℃の温度下でCVD法あるいはスパッタリング法に形成して、図2（c）に示す多層電極配線の構造を得る。上記した製造方法によれば、第1実施形態と同様、バリアメタルのバリア性を向上させるとともに、第1電極配線層のみならず第2電極配線層についてもステップカバレッジを向上させたものとすることができる。

【0032】なお、A1合金層15、24としては、Al-Si-Cuに限らず、例えばアルミニウム金属やAl-Ti-Si、Al-Cu、Al-Si、Al-Ti、Al-Cu-Ti等の他の合金を用いても良い。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る電極配線構造の製造工程を示す工程図である。

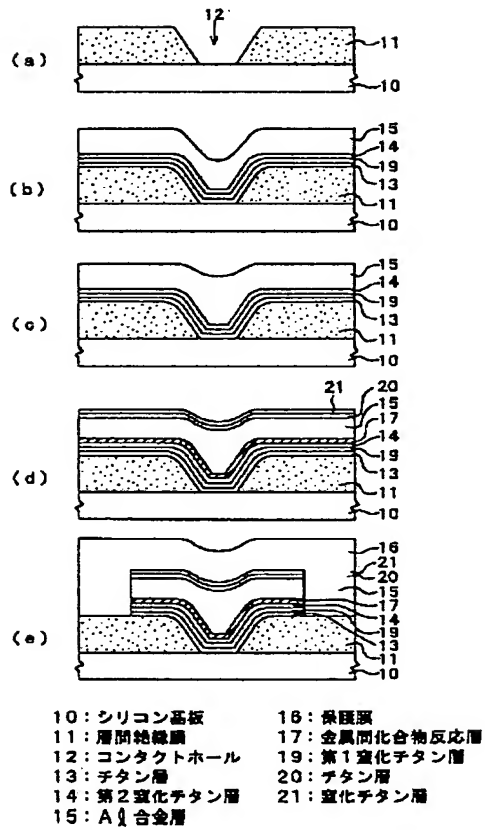
【図2】本発明の第2実施形態に係る電極配線構造の製造工程を示す工程図である。

【図3】従来の電極配線構造の製造工程を示す工程図である。

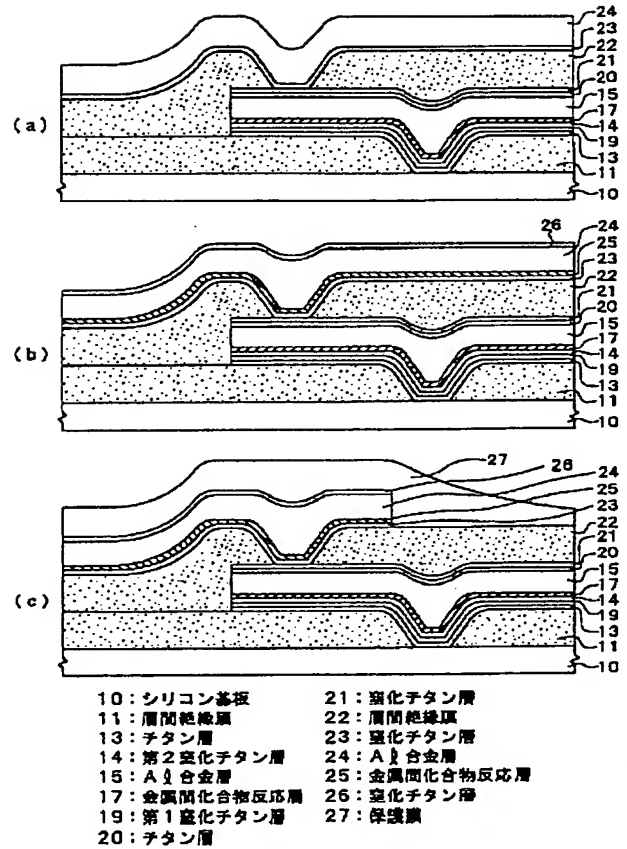
【符号の説明】

10…シリコン基板、11、22…層間絶縁膜、14…第1窒化チタン層、15…A1合金層（第1A1合金層）、17、25…金属間化合物反応層、19…第2窒化チタン層、23…窒化チタン層（第3窒化チタン層）、24…A1合金層（第2A1合金層）、16、27…保護膜。

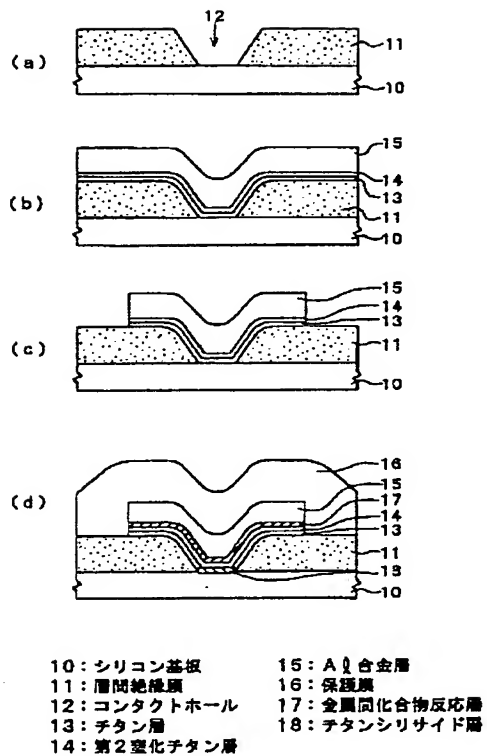
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 山内 毅  
愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

(72)発明者 磯部 良彦  
愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内